

## PATENT ABSTRACTS OF JAPAN

(11)Publication number : 07-115113

(43)Date of publication of application : 02.05.1995

(51)Int.Cl.

H01L 21/66

G01R 31/26

(21)Application number : 06-206133

(71)Applicant : NEC CORP

(22)Date of filing : 09.08.1994

(72)Inventor : TSUJIIDE TORU  
HISHII TOSHISUKE  
NAKAIZUMI KAZUO

(30)Priority

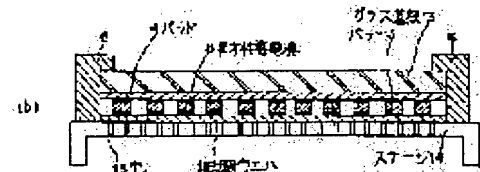
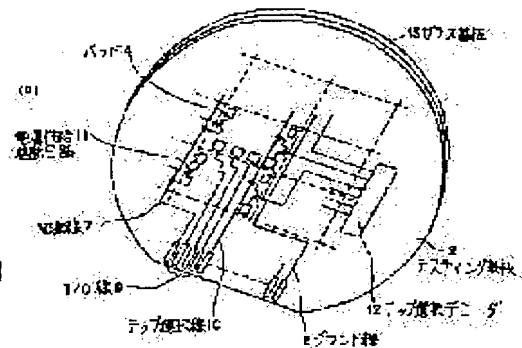
Priority number : 05232386 Priority date : 25.08.1993 Priority country : JP

## (54) SEMICONDUCTOR WAFER TESTING DEVICE AND TESTING METHOD

(57)Abstract:

PURPOSE: To subject chips on a wafer to measurement and burn-in by using a test substrate having a specific thermal expansion coefficient.

CONSTITUTION: A testing substrate 2 has the thermal expansion coefficient of  $13 \times 10^{-4}^{\circ}\text{C}$  or less, the substrate is made of silicon, which is same as the wafer 1 to be tested, and its back side is roughened by a glass substrate 13. On the testing substrate 2, a pad 4 is formed on the position corresponding to the pad 3 of the wafer 1, and a power source wire 7, a grounding wire 8, a chip selection wire 10 and the like are formed. The testing substrate 2, with the glass substrate 13 facing upward, is superposed on the wafer 1 to be tested, they are placed on a stage 14, and they are vacuum-chucked. At that point, the warpage of the wafer 1 to be tested is removed, and the pads 3 and 4 are conducted through the intermediary of an anisotropic conductive film 5. Then, the specific chip of the wafer to be tested is activated by an external signal, and output power is obtained.



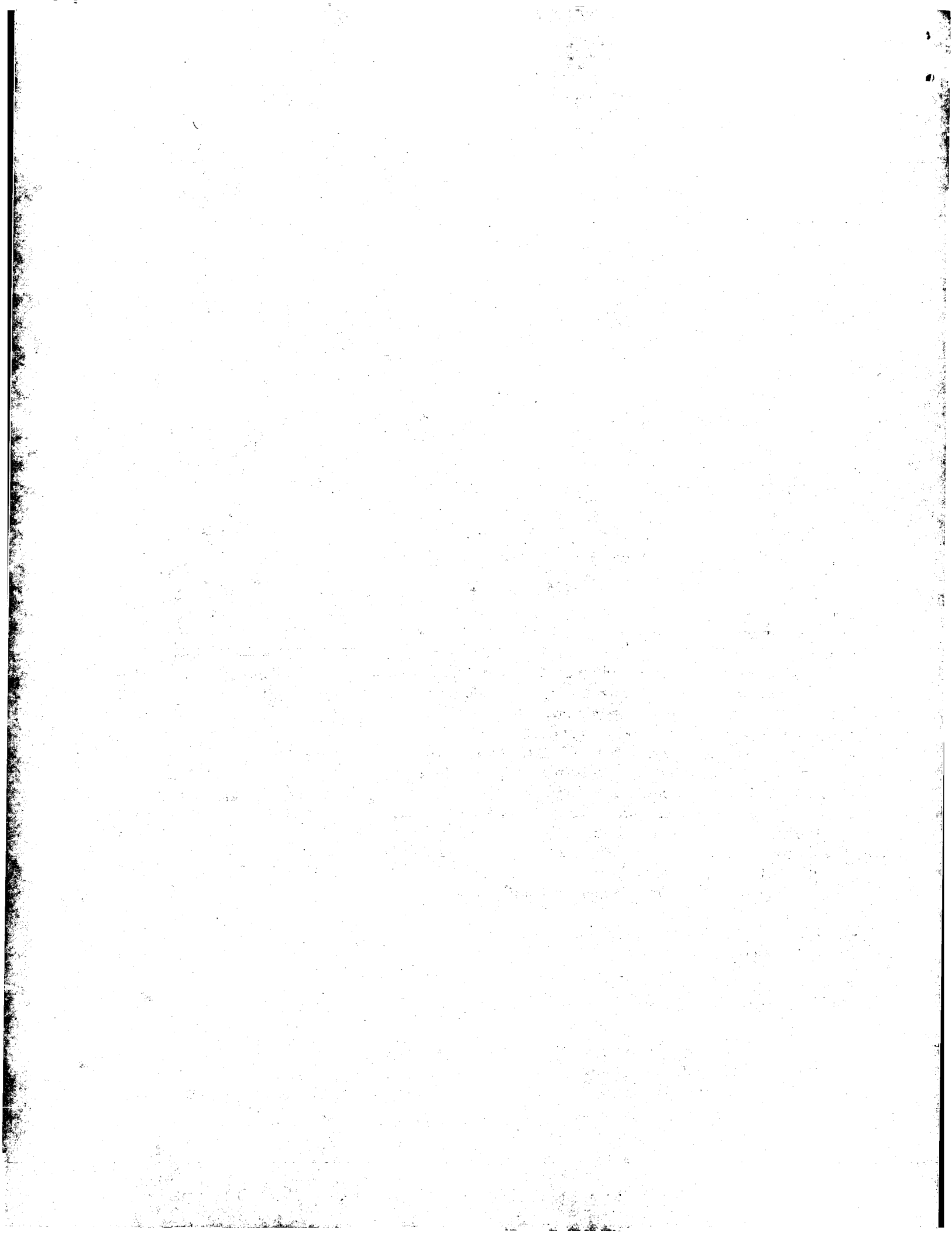
## LEGAL STATUS

[Date of request for examination] 09.08.1994

[Date of sending the examiner's decision of rejection] 07.10.1997

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]



(19)日本国特許庁 (J P)

(12)公開特許公報 (A)

(11)特許出願公開番号

特開平7-115113

(43)公開日 平成7年(1995)5月2日

(51)Int.Cl.<sup>6</sup>  
H01L 21/66  
G01R 31/26

識別記号  
H 7630-4M  
J

F I

審査請求 有 請求項の数 7 F D (全 5 頁)

(21)出願番号 特願平6-206133

(22)出願日 平成6年(1994)8月9日

(31)優先権主張番号 特願平5-232386

(32)優先日 平5(1993)8月25日

(33)優先権主張国 日本 (J P)

(71)出願人 000004237

日本電気株式会社

東京都港区芝五丁目7番1号

(72)発明者 辻出 徹

東京都港区芝五丁目7番1号 日本電気株式会社内

(72)発明者 菱井 利祐

東京都港区芝五丁目7番1号 日本電気株式会社内

(72)発明者 中泉 一雄

東京都港区芝五丁目7番1号 日本電気株式会社内

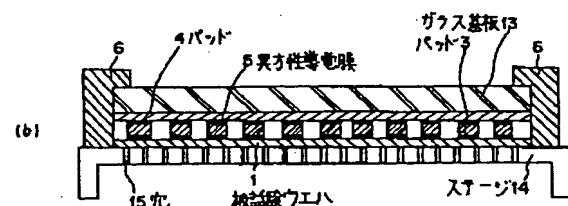
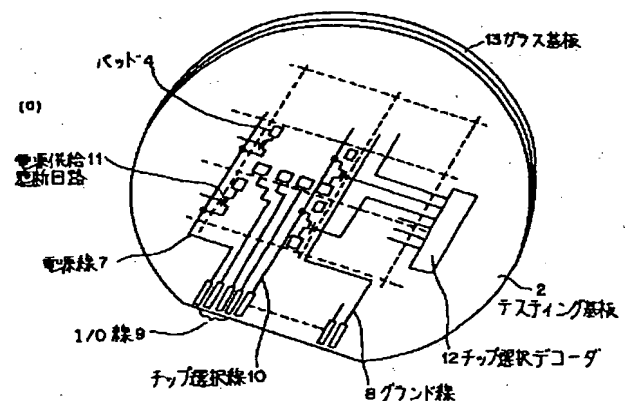
(74)代理人 弁理士 舘野 千恵子

(54)【発明の名称】 半導体ウエハの試験装置および試験方法

(57)【要約】

【目的】 ウエハ上に配列された多数の半導体チップをウエハ状態のまま測定したりバーンインする。

【構成】 テスティング基板2を被試験ウエハ1と同じ材質のシリコンウエハとし、ウエハ1のパッド3に対応した位置にパッド4を形成し、両方のウエハ間の導通を異方性導電膜5でとる。テスト基板2には、電源線7グランド線8等のバーンインに必要な回路やウエハ上の各々のチップの測定に必要な回路が形成されている。テスト基板2はガラス基板13によって補強され、また被試験ウエハ1は平坦なステージ14上で真空チャックされ、ウエハの反りが除去され、テスト基板2との重ね合わせがずれることなくできるようになっている。



## 【特許請求の範囲】

【請求項1】 ウエハ上に配列された多数の半導体チップを一括して測定またはバーンインする半導体ウエハの試験装置であって、熱膨張率が $13 \times 10^{-4} / ^\circ\text{C}$ 以下の材料よりなるテスト基板に被試験ウエハの各チップに対する電源供給回路、電源電流制限回路、チップセレクト回路を含む能動回路が形成され、かつ被試験ウエハ上のチップのボンディングパッドと対応して形成されたパッド上には異方性導電膜が被着形成されていることを特徴とする半導体ウエハの試験装置。

【請求項2】 熱膨張率が $13 \times 10^{-4} / ^\circ\text{C}$ 以下の材料がシリコンである請求項1記載の半導体ウエハの試験装置。

【請求項3】 テスティング基板は、裏面にガラス基板を接着され、補強されている請求項1または請求項2に記載の半導体ウエハの試験装置。

【請求項4】 テスティング基板には、被試験ウエハとの目合わせ用の微小孔が形成されている請求項1～3のいずれかに記載の半導体ウエハの試験装置。

【請求項5】 目合わせ用の微小孔は、(100)面のシリコンウエハを異方性エッチングして、(111)面が四角錐状に現れたものとする請求項4記載の半導体ウエハの試験装置。

【請求項6】 平坦なステージ上に載置した被試験ウエハ上に、異方性導電膜を介して各パッド同士の導通をとるように請求項1記載の試験装置を重ね、前記試験装置と前記被試験ウエハとを押圧固定すると共に、外部信号により前記被試験ウエハの特定のチップを活性化し、出力を得ることを特徴とする半導体ウエハの試験方法。

【請求項7】 被試験ウエハは、多数の穴のあいたステージ上に載置され、真空吸引される請求項6記載の半導体ウエハの試験方法。

## 【発明の詳細な説明】

## 【0001】

【産業上の利用分野】 本発明は半導体チップの測定およびバーンイン試験に関し、特にウエハ状態で半導体チップを測定およびバーンインするための装置およびその方法に関する。

## 【0002】

【従来の技術】 従来、半導体デバイスは、シリコンウエハ上にホトリソグラフィーの工程等により多数個のチップを形成し、ダイシングと称する切断・分離工程を経て1個ずつベレットに分割し、ワイアボンディング工程、樹脂封止工程を経てパッケージング品として完成する。さらに各々のパッケージ品は高温高湿雰囲気（例えば $125^\circ\text{C}$ ）で短時間通電され、初期不良となるべきデバイスの排除が行われる。この工程はバーンイン工程と呼ばれ、ほとんどの半導体製品の製造工程の中に組み込まれている。バーンイン工程中はこのように熱的負荷と電気的負荷が加えられるだけでなく、電気特性の測定も行わ

れることが近年多くなっており、テスト・バーンイン等の名称で呼ばれているが、目的とするところは初期不良となるべきデバイスの排除をできるだけ正確に、かつ短時間に行おうとするものである。このようなバーンイン工程の前後や最終工程などにおいては、不良品を排除したり、品質を確認するため、デバイスの測定がテスト等を用いて行われる。このようなデバイスの測定は、前述したように、パッケージ品に完成させた後、テスト等を使って行われている。一方、ウエハ状態においてもプローバとテストを組み合わせて簡単なファンクション試験は行われているが、高速なファンクション試験等は困難な状況にある。

## 【0003】

【発明が解決しようとする課題】 従来のバーンイン方法では、上記のようにパッケージ品として完成した後バーンインを行うため、バーンインによって不良となったデバイスは、ワイアボンディング工程や樹脂封止工程を無駄に行うこととなり、製造コスト増大の原因となっていた。また近年、MCMのように樹脂封止しない裸のチップを基板に実装する実装方法が多用されるようになり、このようなチップに対するバーンイン技術の確立が求められていた。またこの場合、ウエハから各々のチップにダイシングする前のウエハ状態でバーンインすることが最も前の工程でバーンインすることとなり、製造コスト低減効果も大きく、その技術の確立が特に求められていた。

【0004】 また、従来、デバイスの測定も上記のようにパッケージ品として完成した後に行うため、測定の際、不良となったものをリダンダン回路などで救済することができないとか、またさらにデバイスが高集積化や高速化などの進展をとげたため発生する問題があった。即ち、高集積化という点では例えば64MDRAMなどの大容量メモリにおいては試験時間が数十時間もかかるため、並列測定をする必要があるが、そのためにはドライバ回路の増設や大容量化などが必要となりテストとしての価格が高くなるという問題があった。また、高速化という点においては、テストの測定系はデバイスにできるだけ近くに配置することが望ましいが、従来のテストの改良では限界もあり、また価格も高くなるという問題があった。またさらに、ウエハ状態においても簡単なファンクション試験はプローバなどを用いて行われているが、このような方法ではプローブ・カードの寄生容量が大きく高速試験ができないなどの問題があった。このため、テストを高価格なものに改造する必要がなく、多数個並列で高速なファンクション試験がウエハ状態のまままでできる技術の確立が求められていた。

【0005】 本発明は、このような従来の事情に対処してなされたもので、ウエハ上に配列された多数の半導体チップをウエハ状態のままバーンインし、テストングすることの可能な試験装置および試験方法を提供する

10

20

30

40

50

こと、およびウエハ上に配列された多数の半導体チップをウエハ状態のままで測定することが可能なウエハ試験装置および試験方法を提供することを目的とする。

#### 【0006】

【課題を解決するための手段】本発明は、ウエハ上に配列された多数の半導体チップを一括して測定またはバーンインする半導体ウエハの試験装置であって、熱膨張率が $13 \times 10^{-1} / ^\circ\text{C}$ 以下の材料よりなるテスト基板に被試験ウエハの各チップに対する電源供給回路、電源電流制限回路、チップセレクト回路を含む能動回路が形成され、かつ被試験ウエハ上のチップのボンディングパッドと対応して形成されたパッド上には異方性導電膜が被着形成されていることを特徴とする半導体ウエハの試験装置である。本発明の試験装置においては、熱膨張率が $13 \times 10^{-1} / ^\circ\text{C}$ 以下の材料はシリコンであることが好ましく、また、テスト基板は、裏面にガラス基板を接着され、補強されていることが望ましい。また、テスト基板には、被試験ウエハとの目合わせ用の微小孔が形成され、その目合わせ用の微小孔は、(100)面のシリコンウエハを異方性エッチングして(111)面が四角錐状に現れたものとするのが望ましい。

【0007】さらに、本発明によれば、平坦なステージ上に載置した被試験ウエハ上に、異方性導電膜を介して各パッド同士の導通をとるように前記の試験装置を重ね、前記試験装置と前記被試験ウエハとを押圧固定すると共に、外部信号により前記被試験ウエハの特定のチップを活性化し、出力を得ることを特徴とする半導体ウエハの試験方法が提供される。本発明の試験方法において、前記被試験ウエハは、多数の穴のあいたステージ上に載置され、真空吸引されることが望ましい。

#### 【0008】

【作用】本発明によれば、熱膨張率が $13 \times 10^{-1} / ^\circ\text{C}$ 以下の材料、例えばシリコンウエハをテスト基板として使用することにより、測定またはバーンインしようとする半導体チップをダイシングすることなく、ウエハの状態で測定またはバーンインすることができる。また、テスト基板としてシリコンウエハを使用することにより、この上に半導体回路を形成して測定またはバーンインしようとするウエハの各々の半導体チップに電源を供給したり、特定のチップからの出力を取り出したり等のバーンイン条件や測定条件の設定ができる。また異方性導電膜を用いてテスト基板となるウエハと被試験ウエハとの電氣的接続を行っているため、プローブ針などによる複雑な接続手段が必要でなく、またこの接続は両者を押圧固定する手段を用いることでより確実となる。さらにテスト基板はガラス基板に接着することにより、機械的強度を補強し、通常の取扱いに十分耐えるものにすることができる。また、被試験ウエハを平坦なステージに真空チャックすることにより、ウ

エハが反っていた場合、反りを矯正し、テスト基板となるウエハのパターンとの位置ずれを防止することができる。さらにテスト基板となるウエハに微小孔をあけることにより、被試験ウエハのパターンをテスト基板の上から観察でき、ウエハの重ね合わせの際、目合わせマークとして使用できる。ここで、テスト基板として(100)面のシリコンウエハを用いると、異方性エッチングにより(111)面が四角錐状に現れるエッチングができ、微小な正方形の孔をあけることができる。

#### 【0009】

【実施例】次に本発明の実施例について図面を参照して説明する。

##### 実施例1

図1は本発明によるバーンインのための試験装置の一例の斜視図および断面図であり、図2はバーンインしようとするウエハの斜視図である。図2のバーンインしようとするウエハ(被試験ウエハ)1上には、ホトリソグラフィ工程などの半導体製造工程を経て複数個の半導体チップが形成されている。図1に示す試験装置で、バーンイン基板となるウエハ(テスト基板)2は被試験ウエハ1と同じ材質のシリコンウエハとし、その裏面はガラス基板13を例えば静電接着法により接着されて機械的強度の補強がされている。被試験ウエハ1の各々の半導体チップのボンディングパッド3に対応した位置には表面に異方性導電膜5を有するパッド4がテスト基板2上に形成されている。テスト基板2上にはパッド4から配線がほどこされ、パッドの半導体チップにおける機能に従って電源線7、グランド線8、I/O線9、チップ選択線10等となる。電源線7はバーンインされるチップが短絡状態となっても過電流が流れないように電源供給を遮断するための回路11が形成されている。本実施例においては、トランジスタのゲート電圧を制御することによりトランジスタを非導通状態にして電源供給を遮断する例を示しているが、そのほかにも電源線7に拡散抵抗を直列に接続することによっても過電流が流れることをある程度防ぐことができることはいうまでもない。また、テスト基板2の各チップからのチップ選択線10はバーンイン基板となるウエハ2上に形成されたチップ選択デコーダ12に接続され、外部信号により特定のチップを活性化し、出力を得ることができる。本発明のバーンイン方法を実施するにあたっては、図1(b)にその断面図を示すように、多数の穴15のあいたステージ14上に被試験ウエハ1を載置し、その上に図1(a)に示した試験装置をガラス基板13が上になるように重ね合わせる。被試験ウエハ1の反りは真空チャックすることで除去される。周囲を押圧固定治具6により固定押圧すると、被試験ウエハ1のパッド3と試験装置のパッド4とは異方性導電膜5を介して接続し、導通をとることができる。その後、試験装置

上で外部信号により被試験ウエハの特定のチップを活性化することで、出力を得ることができる。被試験ウエハ1に熱的ストレスを加えるため、ステージ14を介して加熱あるいは冷却を行ったり、あるいは本実施例の試験装置全体を恒温槽に入れて被試験ウエハ1に熱的ストレスを加えることができる。

#### 【0010】実施例2

図3は本発明の第2の実施例のバーンインのための試験装置およびそれを用いたウエハバーンイン方法を説明するための断面図である。テスト基板16は(10)面のシリコンウエハとなっており、窒化硅素膜をマスクとして2カ所に正方形の開口を明け、異方性エッチングを施すことにより、ウエハを貫通し(11)面が四角錐状に現れた微小孔21が形成されている。テスト基板16には被試験ウエハ17の各チップのパッド18に対応してパッド19が形成され、両者の間は異方性導電膜20によって導通されている。前記微小孔21を目合わせマークとして使用することにより、テスト基板16と被試験ウエハ17との位置合わせを容易に行うことができる。

#### 【0011】実施例3

図4は本発明によるウエハ状態における半導体チップの測定のための試験装置の一実施例の斜視図である。試験装置のテスト基板2、異方性導電膜5、被試験ウエハ1のそれぞれの構成については、実施例1に述べたものと同じである。テスト基板2には、実施例1で述べたような能動回路が形成されているほか、被試験ウエハ1の各々の半導体チップを並列的にかつ高速に測定するための回路や、測定結果を記憶するためのメモリが集積化されている。テスト基板2からの入出力線はフレキシブルプリント基板23を経由してテストヘッド24に接続され、テスト本体25によって制御される。テスト基板2には上述したような測定系回路が組み込まれているため、テストは安価なテストを使うことができる。

#### 【0012】

【発明の効果】以上説明したように、本発明によれば、ウエハ上に配列された多数の半導体チップをウエハ状態のまま容易に、かつ高い信頼性を有してバーンイン

し、測定することができる。また、従来であれば、テスト側でデバイスの高機能化に伴う測定系の高機能化を計らなければならないところを、本発明によればテスト基板に測定系の回路を集積化したので、安価なテストで高機能なデバイスの並列的かつ高速な測定をウエハ状態のままできるという効果を有する。

#### 【図面の簡単な説明】

【図1】本発明によるバーンインのための試験装置の一実施例の斜視図および断面図である。

【図2】被試験ウエハの一実施例の斜視図である。

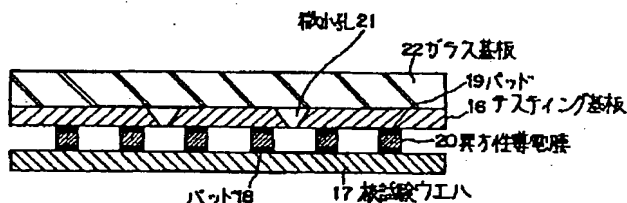
【図3】本発明によるバーンインのための試験装置の別の一実施例の断面図である。

【図4】本発明によるウエハ状態における半導体チップの測定のための試験装置の一実施例の斜視図である。

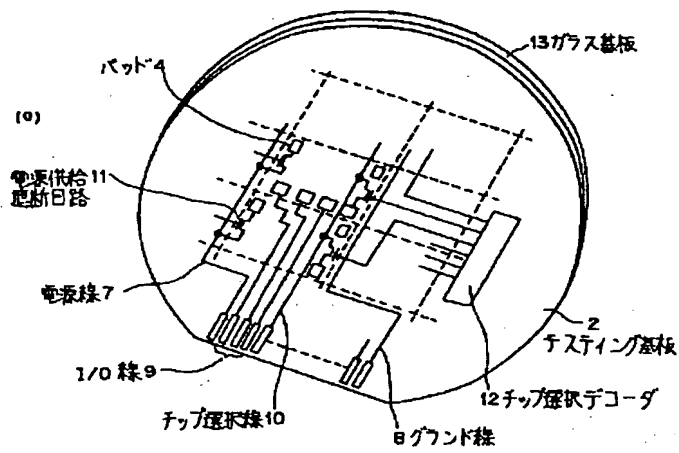
#### 【符号の説明】

- 1 被試験ウエハ
- 2 テスト基板
- 3, 4 パッド
- 5 異方性導電膜
- 6 押圧固定治具
- 7 電源線
- 8 グランド線
- 9 I/O線
- 10 チップ選択線
- 11 電源供給遮断回路
- 12 チップ選択デコーダ
- 13 ガラス基板
- 14 ステージ
- 15 穴
- 16 テスト基板
- 17 被試験ウエハ
- 18, 19 パッド
- 20 異方性導電膜
- 21 微小孔
- 22 ガラス基板
- 23 フレキシブルプリント基板
- 24 テスタ・ヘッド
- 25 テスタ本体

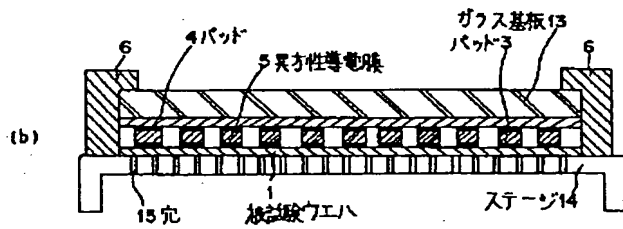
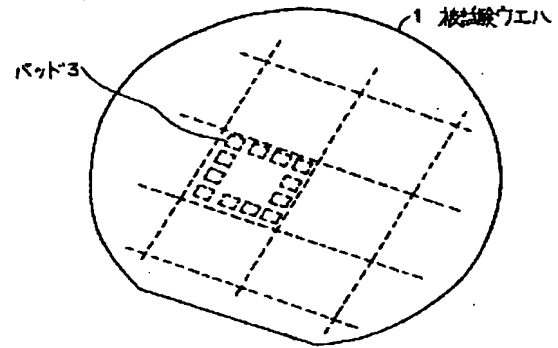
【図3】



【図 1】



【図 2】



【図 4】

